

26
7

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—114581

⑬ Int. Cl.³
G 09 G 1/02
G 06 F 3/14

識別記号
庁内整理番号
7923—5C
7060—5B

⑭ 公開 昭和59年(1984)7月2日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ ディスプレイ装置

⑯ 特 願 昭57—224188
⑰ 出 願 昭57(1982)12月21日
⑱ 発 明 者 鈴木仁
鎌倉市上町屋325番地三菱電機
株式会社計算機製作所内

⑲ 発 明 者 小田勇介
鎌倉市上町屋325番地三菱電機
株式会社計算機製作所内
⑳ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称 ディスプレイ装置

2. 特許請求の範囲

複数のブレンメモリを備えているラスタスキャン方式のディスプレイ装置において、メモリセレクト機構を設け、該メモリセレクト機構により前記複数のブレンメモリの内容を同時に、又は別々に表示することができるようにしたことを特徴とするディスプレイ装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、計算機システムにおいて、複数のブレンメモリの内容を表示させるラスタスキャン方式のディスプレイ装置に関するものである。

(従来技術)

従来この種のディスプレイ装置としては、第1図に示すものが知られている。第1図は従来のディスプレイ装置を示すブロック構成図である。第1図において、1はアドレス発生回路、2は発振器、3は処理回路、4は第1ブレンメモリ、5

は第2ブレンメモリ、6はメモリアドレス切換回路、7、8はビデオ変換回路、9はビデオ合成回路、10は同期回路、11はCRT (ブラウン管)等の表示器、12は計算機である。

次に、上記第1図に示すブロック構成図の動作について説明する。アドレス発生回路1は発振器2からのクロックでリングカウンタを形成し、表示アドレスと表示範囲アドレス以外を示すブランキングアドレスをカウントする。今、カウントが表示範囲アドレス時、アドレス発生回路1からの表示範囲信号により、処理回路3は第1ブレンメモリ4及び第2ブレンメモリ5へメモリ・リード信号を出力すると同時に、メモリアドレス切換回路6に表示可能信号を出力する。この時、メモリアドレス切換回路6はアドレス発生回路1からの表示アドレスを出力し、メモリアドレスに対応した表示アドレスによつて、第1ブレンメモリ4及び第2ブレンメモリ5から表示データが順次に読み出される。第1ブレンメモリ4及び第2ブレンメモリ5から読み出された表示デ-

タは、各ビデオ変換回路7、8でビデオ信号に変換され、ビデオ合成回路9へ出力される。このビデオ合成回路9は、各ビデオ変換回路7、8からの第1ブレンビデオ信号及び第2ブレンビデオ信号を合成する。この場合、ビデオ信号に優先度を付けて、ビデオ信号の優先度の高いものが低いものをブロックするようにしてある。同期回路10は、アドレス発生回路1からのクロックで各垂直、水平同期信号を形成する。表示器11にはビデオ合成回路9からの合成ビデオ信号と同期回路10からの各垂直、水平同期信号のタイミングによりデータが表示される。

一方、カウントが表示範囲アドレス以外の時、アドレス発生回路1は処理回路3へメモリ書き込み可能信号を出力する。処理回路3は各第1ブレンメモリ4及び第2ブレンメモリ5にメモリライト信号を、計算機12にデータ信号可能信号を、メモリアドレス切換回路6にメモリ書き込み可能信号をそれぞれ出力する。この時、計算機12に送信データがある場合に、計算機12は、メモリアドレ

又は別々に表示することができるようにした構成を有し、表示させたくない画面のメモリをクリアすることなしに、表示させたい画面のみを表示器11に表示し得るようにしたディスプレイ装置を提供することを目的としている。

〔発明の実施例〕

以下、本発明の一実施例を図について説明する。第2図は本発明の一実施例であるディスプレイ装置を示すブロック構成図で、第1図と同等部分には同一符号を用いて表示してあり、その詳細な説明は省略する。第2図において、第1図に示される各ビデオ変換回路7、8とビデオ合成回路9の間に追加して設けられた各アンドゲート13、14、ビデオセレクト15及びビデオ選択スイッチ16は、本発明により新たに付加されたメモリセレクト機構（メモリ選択機構）を構成している。その他の構成は、上記第1図に示される構成のものとはほぼ同じである。

次に、上記第2図に示すブロック構成図の動作について説明する。今、ビデオ選択スイッチ16に

特開昭59-114581(2)

ス切換回路6を介して各第1ブレンメモリ4及び第2ブレンメモリ5にメモリライトアドレスを出力する。これにより、各第1ブレンメモリ4及び第2ブレンメモリ5には、計算機12からの送信データが書き込まれる。

従来のディスプレイ装置は以上のように構成されているので、第1ブレンメモリ4又は第2ブレンメモリ5のいずれか一方の画面のみを表示器11に表示させたい時には、表示させたくない画面のメモリをクリアすることが必要であり、また、再びもう一度上記両画面を重ね合わせた状態で画面を表示させたい時には、再度データをメモリに書き込まなければならないので、その操作がめんどうであるとともに、データ転送効率も低下するという欠点があつた。

〔発明の概要〕

本発明は上記のような従来のものの欠点を除去するためになされたもので、ディスプレイ装置にメモリセレクト機構を設け、このメモリセレクト機構により複数のブレンメモリの内容を同時に、

より第1ブレンメモリ4を指定すると、ビデオセクタ15はアンドゲート14のゲートを閉成し、ビデオ変換回路8からの第2ブレンビデオ信号をビデオ合成回路9へ出力させないようにブロックする。一方、第1ブレンメモリ4から読み出されたデータは、ビデオ変換回路7でビデオ信号に変換され、アンドゲート13を介してビデオ合成回路9へ出力される。このビデオ合成回路9にはアンドゲート14からビデオ信号が入力されないもので、第1ブレンメモリ4のビデオ信号のみを表示器11へ出力し、同期回路10からの各垂直、水平同期信号のタイミングにより、表示器11には第1ブレンメモリ4のみのデータが表示される。

また、ビデオ選択スイッチ16により第2ブレンメモリ5を指定すれば、ビデオセクタ15はアンドゲート13のゲートを閉成し、上記したと同様にして、表示器11には第2ブレンメモリ5のみのデータが表示される。さらに、各第1ブレンメモリ4及び第2ブレンメモリ5の両方のメモリからのデータを重ね合わせて表示させたい時に

特開昭59-114581(3)

は、ビデオ選択スイッチ16により各第1ブレンメモリ4と第2ブレンメモリ5を指定すれば、上記したと同様に、ビデオ合成回路9では両方のビデオ信号が合成されて、表示器11には両方の各メモリのデータが重ね合わされた状態で表示される。

(発明の効果)

以上のように、本発明に係るディスプレイ装置によれば、ディスプレイ装置にメモリセレクト機構を設けることにより、単にこのメモリセレクト機構の選択操作によつて、複数のブレンメモリの内容を同時に、又は別々に表示することができるよう構成したので、表示させたくない画面のメモリをクリアすることなしに、表示させた画面のみを表示器上に表示し得る特長がある。さらに、極めて簡単なメモリセレクト機構の選択操作のみにより、容易に表示器上に表示される各メモリからのデータの画面を消したり、また再度表示したりすることが可能となり、これにより、高いデータ伝送効率を得られるという優れた効果を奏する。

ものである。

※ 図面の簡単な説明

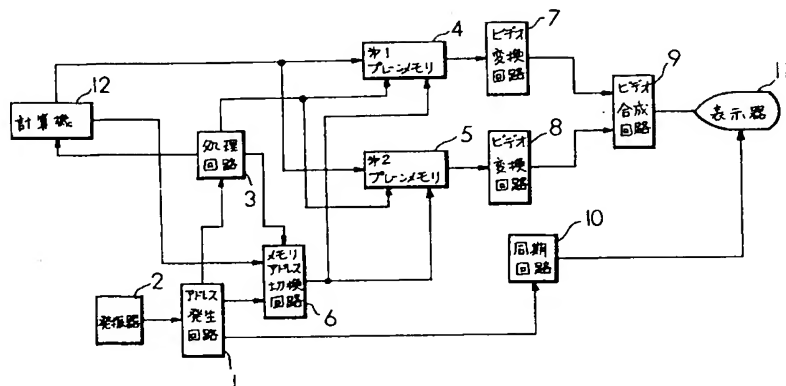
第1図は従来のディスプレイ装置を示すブロック構成図、第2図は本発明の一実施例であるディスプレイ装置を示すブロック構成図である。

1…アドレス発生回路、2…発振器、3…処理回路、4…第1ブレンメモリ、5…第2ブレンメモリ、6…メモリアドレス切換回路、7、8…ビデオ変換回路、9…ビデオ合成回路、10…同期回路、11…表示器、12…計算機、13、14…アンドゲート、15…ビデオセクタ、16…ビデオ選択スイッチ。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 葛 野 信 一

第 1 図



特開昭59-114581(4)

第 2 図

